

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-324136

(P2000-324136A)

(43) 公開日 平成12年11月24日 (2000.11.24)

(51) Int.Cl. ⁷	識別記号	F I	フォーマット (参考)
H 0 4 L 12/28		H 0 4 L 11/00	3 1 0 D
G 0 6 F 13/38	3 1 0	G 0 6 F 13/38	3 1 0 B
	3 5 0		3 5 0
H 0 4 L 7/00		H 0 4 L 7/00	D
12/56		G 0 6 F 5/06	Z
審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2000-71076 (P2000-71076)
 (62) 分割の表示 特願平6-242255の分割
 (22) 出願日 平成6年9月9日 (1994.9.9)
 (31) 優先権主張番号 特願平6-192807
 (32) 優先日 平成6年7月25日 (1994.7.25)
 (33) 優先権主張国 日本 (J P)

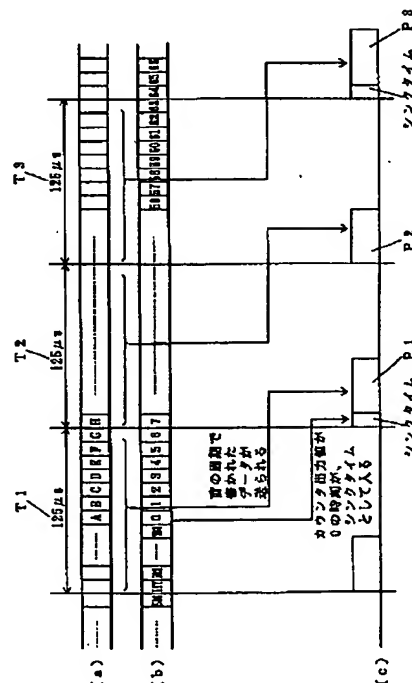
(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72) 発明者 志賀 知久
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (74) 代理人 100067736
 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 パケット伝送方式

(57) 【要約】

【課題】 任意の速度、フォーマットのビットストリームを伝送する際に、アプリケーションに依存することなく、送信側と受信側のビットストリームの速度を合わせる。

【解決手段】 送信側では、ビットストリームに周期的に先頭ビットの位置を付与すると共に、この先頭ビットの位置の時刻 (シンクタイム) をパケットに付加して送信する。受信側では、パケットからこのビットストリームの先頭ビットの位置の時刻を抽出し、この時刻を用いて受信側のビットストリームをF I F Oから読み出す速度を制御する。



【特許請求の範囲】

【請求項1】 所定の速度のビットストリームをバケット化して伝送するバケット伝送方式において、送信側に、ビットストリームに周期的に先頭ビットの位置を付与する手段と、該付与された先頭ビットの位置の時刻をバケットに付加する手段とを設け、受信側に、受信したバケットの一時蓄積手段と、該バケットに付加されている先頭ビットの位置の時刻を抽出する手段と、該抽出した時刻を用いて前記一時蓄積手段からのビットストリームの読み出し速度を制御する手段とを設けたことを特徴とするバケット伝送方式。

【請求項2】 先頭ビットの位置を付与する手段がビットストリームの速度と同じ速度で動作するカウンタである請求項1記載のバケット伝送方式。

【請求項3】 抽出した先頭ビットの位置の時刻に所定値を加算した時刻でのビットストリームの位置を受信側のビットストリームの先頭ビットの位置に定め、該先頭ビットの位置の間隔に基づいて受信側のビットストリームの読み出し速度を制御する請求項1又は2記載のバケット伝送方式。

【請求項4】 送信側に、所定時間毎にビットストリームのビットの位置をバケットに付加する手段を設け、受信側に、該付加されたビットの位置を基に受信側の先頭ビットの位置を定めて一時蓄積手段へ送出する手段と、該受信側の先頭ビットの位置を該一時蓄積手段から読み出した時刻とバケットから抽出した先頭ビットの位置の時刻に基づいて一時蓄積手段からのビットストリームの読み出し速度を制御する手段とを設けたことを特徴とする請求項1又は2記載のバケット伝送方式。

【請求項5】 送信側でバケット長をバケットに付加し、受信側で該バケット長とビットストリームのビットの位置とを用いて伝送中に失われたデータ量を算出することを特徴とする請求項4記載のバケット伝送方式。

【請求項6】 送信側の時刻と受信側の時刻の時刻合わせを行う請求項1記載のバケット伝送方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IEEE-P1394に準拠した通信制御バス（以下「P1394シリアルバス」という。）を用いて、一定速度のビットストリームをバケット化して伝送する場合に用いて好適なバケット伝送方式に関する。

【0002】

【従来の技術】従来、ビットストリームをバケット化して伝送する場合、送信側では所定のフォーマットでバケット化したビットストリームの先頭にヘッダを付与し、受信側ではバケットのヘッダの位置を検出しこのヘッダの位置情報を用いて送信側と同期をとっていた。

【0003】

【発明が解決しようとする課題】しかし、前記従来の方

法はビットストリームのフォーマットが変わる度にヘッダの位置を検出する手段を変えなければならず、したがって、アプリケーションに依存しているという問題があった。

【0004】本発明は、このような問題点を解決するためになされたものであって、任意の速度、フォーマットのビットストリームを伝送する際に、アプリケーションに依存することなく、送信側のビットストリームと受信側のビットストリームの速度を合わせることでできるバケット伝送方式を提供することを目的とする。

【0005】また、本発明は、送信側のビットストリームと受信側のビットストリームの速度を合わせ、かつ位相関係を一定に制御することができるバケット伝送方式を提供することを目的とする。

【0006】さらに、本発明は、伝送中に損失したデータ量を検出するできるバケット伝送方式を提供することを目的とする。

【0007】

【課題を解決するための手段】前記課題を解決するために、本発明は、所定の速度のビットストリームをバケット化して伝送するバケット伝送方式において、送信側に、ビットストリームに周期的に先頭ビットの位置を付与する手段と、この付与された先頭ビットの位置の時刻をバケットに付加する手段とを設け、受信側に、受信したバケットの一時蓄積手段と、受信したバケットに付加されている先頭ビットの位置の時刻を抽出する手段と、この抽出した時刻を用いて一時蓄積手段からのビットストリームの読み出し速度を制御する手段とを設けたことを特徴とする。

【0008】ここで、先頭ビットの位置を付与する手段は、例えばビットストリームの速度と同じ速度で動作するカウンタである。また、受信側のビットストリームの読み出し速度の制御は、受信したバケットから抽出した先頭ビットの位置の時刻に所定値を加算した時刻でのビットストリームの位置を受信側のビットストリームの先頭ビットの位置に定め、この先頭ビットの位置の間隔に基づいて行う。

【0009】本発明はさらに、送信側に、所定時間毎にビットストリームのビットの位置をバケットに付加する手段を設け、受信側に、送信側で付加されたビットストリームビットの位置を基に受信側の先頭ビットの位置を定めて一時蓄積手段へ送出する手段と、受信側の先頭ビットの位置を一時蓄積手段から読み出した時刻とバケットから抽出した先頭ビットの位置の時刻に基づいて一時蓄積手段からのビットストリームの読み出し速度を制御するように構成した。

【0010】

【0010】また、本発明は、送信側でバケット長をバケットに付加し、受信側でこのバケット長と前記ビットストリームのビットの位置とを用いて伝送中に損失した

データ量を検出するように構成した。

【0011】そして、本発明では送信側の時刻と受信側の時刻の時刻合わせを行うように構成した。

【0012】

【作用】本発明によれば、受信側では、送信側でパケットに付加したビットストリームの先頭ビットの位置の時刻を抽出し、この抽出した時刻を用いて受信側のビットストリームを一時蓄積手段から読み出す速度を制御することにより、送信側と受信側のビットストリームの速度を合わせることができる。

【0013】受信側のビットストリームの読み出し速度の制御は、受信したパケットから抽出した先頭ビットの位置の時刻に所定値を加算した時刻でのビットストリームの位置を受信側のビットストリームの先頭ビットの位置に定め、例えばこの先頭ビットの位置の間隔の差分が0になるようにする。

【0014】また、受信側のビットストリームの読み出し速度の制御は、送信側で付加されたビットストリームのビットの位置を基に受信側の先頭ビットの位置を定め、この先頭ビットの位置を一時蓄積手段から読み出した時刻とパケットから抽出した先頭ビットの位置の時刻とに基づいて行う。このようにすると、送信側のビットストリームと受信側のビットストリームの速度を合わせ、かつ位相を一定の関係に制御することかできる。

【0015】

【実施例】以下本発明の実施例について、〔1〕P1394シリアルバスを用いた通信システム、〔2〕本発明の第1実施例、〔3〕本発明の第2実施例、の順に詳細に説明する。

【0016】〔1〕P1394シリアルバスを用いた通信システム

本発明を4MbpsのビットストリームをP1394シリアルバスに乗せて伝送する場合の2つの実施例について説明する。まず、2つの実施例に共通であるP1394シリアルバスを用いた通信システムについて説明する。

【0017】図10にこのような通信システムの例を示す。この通信システムは4台のデジタルビデオテーブルコーダ(VTR1~4)、1台のデジタルカムコーダ(CAM)、1台の編集機、及び1台のコンピュータを備えている。そして、各機器の間はP1394シリアルバスのケーブルにより接続されている。各機器はP1394シリアルバスのケーブルから入力される情報信号及び制御信号を中継する機能を持っているので、この通信システムは各機器が共通のP1394シリアルバスに接続されている通信システムと等価である。

【0018】バスを共有している機器におけるデータ伝送は、図11のように所定の通信サイクル(例えば125μsec)毎に時分割多重によって行なわれる。バス上における通信サイクルの管理はサイクルマスターと呼ばれる所定の機器により行われ、サイクルマスターが通信

サイクルの開始時であることを示す同期パケット(サイクルスタートパケット)をバス上の他の機器へ伝送することによってその通信サイクルにおけるデータ伝送が開始される。なお、サイクルマスターはP1394シリアルバスに各機器を接続して通信システムを構成すると、IEEE-P1394で規定する手法により自動的に決定される。

【0019】一通信サイクル中におけるデータ伝送の形態は、ビデオデータやオーディオデータなどの同期型

(Isochronous) データと、接続制御コマンド等の非同期型(Asynchronous)データの2種類である。そして、同期型データパケットが非同期型データパケットより先に伝送される。同期型データパケットそれぞれにチャンネル番号1, 2, 3, …, Nを付けることにより、複数の同期型データを区別することができる。送信すべき全てのチャンネルの同期型データパケットの送信が終了した後、次のサイクルスタートパケットまでの期間が非同期型データパケットの伝送に使用される。

【0020】〔2〕本発明の第1実施例

2-1) 送信側のタイミング

まず図1を参照しながら第1実施例における送信側のタイミングについて説明する。この図で、(a)は入力されるビットストリーム、(b)は4MHzのクロックをカウントするカウンタの出力値、(c)は送信される同期型データパケットを示す。なお、本発明の対象となるパケットは同期型データパケットだけなので、以下単にパケットと呼ぶことにする。

【0021】入力されるビットストリームはIEEE-P1394の仕様で決められているように、125μs毎にパケット化され伝送される。ここでは、期間T1で後述するFIFOに書かれたビットストリームはパケットP1として、期間T2でFIFOに書かれたビットストリームはパケットP2として伝送される。

【0022】本実施例では、入力されるビットストリームを仮想的に一定の周期で繰り返すビット列の集合と考え、すなわち現実には一定の周期を持っていないか他の周期で繰り返しているビットストリームを一定の周期で繰り返しているビット列の集合とみなし、仮想的にフレーミングをしている。このフレーミングを行うために、入力されるビットレートと同じ速度で動作するカウンタを用いている。このカウンタの出力値が図1の(b)である。

【0023】また、パケットにはシンクタイム(Sync Time)が先頭に付いているものと、付いていないものがある。これは、そのパケットで伝送されるビットストリームの中に、ビットストリームの先頭ビットが含まれているかどうか依存する。本実施例ではカウンタの出力値が0の位置をフレームの先頭とした。

【0024】シンクタイムとはフレームの先頭ビットにおける、P1394のサイクルタイマー(Cycle Time

r) が示す時刻のことである。このサイクルタイマーは、各機器内に設けられており、所定の周期（例、128秒）で一周する時刻を持っている。

【0025】送信側と受信側のクロックは独立しており、同期をしていないため、クロックの誤差が累積し、送信側でビットストリームをFIFOに書き込む速度と、受信側でビットストリームをFIFOから読み出す速度が少しずつずれてくる。これを調節するための情報としてシンクタイムを用いる。この調節方法の詳細については後述する。

【0026】本実施例の伝送方式はアプリケーションに依存しないため、ビットストリームの内容を解析して先頭ビットを決めることはできない。そこで、ビットストリームと同じ速度で一つずつ増加するカウンタを用意し、このカウンタの出力値が0になった位置を先頭ビットとした。このカウンタはP1394の一周期である125μsよりも長くなくてはならない。これは一つのバケット中に、二つ以上のシンクタイムを書き込むことができないからである。本実施例では一周期の長さが250μsのカウンタ、例えば4MHzのクロックを1000カ

ウントしたら一周するカウンタを用いた。
【0027】図1の周期T1の中ではカウンタの出力値が0になっているので、バケットP1にはシンクタイムが付加されている。同様に、周期T3中にもカウンタの出力値が0になるので、バケットP3にはシンクタイムが付加されている。しかし、周期T2ではカウンタ値は0にならないので、バケットP2にはシンクタイムは含まれていない。図1ではカウンタの出力値が0の時点からのビットストリームの値を仮にA、B、C、・・・とした。これは後で受信側の説明で用いる。なお、A、B、C等の各々は1ビットではなく複数ビットでもよい。

【0028】2-2) 送信回路

次に、図2を参照しながら送信回路の説明をする。入力されたビットストリームaは4MHzのクロックbに同期してFIFO1に書き込まれる。一方、P1394インターフェイス（以下「P1394 I/F」という。）3は、読み出し要求信号eをシンクタイム付与回路2へ出力し、FIFO1からデータを読み出すように指示する。

【0029】シンクタイム付与回路2はこれから出力するバケットにシンクタイムを書き込むかどうか判断し、もし必要であればシンクタイムをデータfとしてP1394 I/F 3へ出力する。その後はP1394 I/F 3からの読み出し要求信号eに合わせて、読み出し要求信号cをFIFO1へ出力し、FIFO1からデータdを読み出し、P1394 I/F 3に渡す。

【0030】シンクタイムを付与するかどうかの判断は以下のようにして行われる。クロックbでカウントアップするカウンタ4の出力値が比較回路5に出力される。比較回路5はカウンタ14の出力値が0になると出力信

号をシンクタイム付与回路2とラッチ6へ出力する。これにより、シンクタイム付与回路2では、これから出力をしようとしているバケットにシンクタイムを書き込むかどうかの判断ができる。

【0031】ここで、シンクタイムとして書かれる値は、ラッチ6が出力する値である。ラッチ6は比較回路5が出力をした時点でのサイクルタイマー7の値をラッチし、シンクタイム付与回路2へ出力をする。

【0032】カウンタ8が出力するバケット長gは、前の周期で書かれたビットストリームの長さである。この値はP1394 I/F 3に与えられる。実際の回路では、図1に示したように一周期125μsの間に書かれるビットストリームの長さは、書き込まれるタイミングとクロックのジッタ等の影響で、必ずしも一定でない。したがって、各周期毎にバケット長をP1394 I/F 3に与えている。

【0033】P1394 I/F 3は125μsの周期の先頭でリセット信号hを出力する。比較回路5とカウンタ8はこのリセット信号hによりリセットされ、次の周期に備える。

【0034】2-3) 受信側のタイミング

次に、図3を参照しながら受信側のタイミングについて説明をする。この図で、(a)は受信したバケット、(b)は受信したバケットから生成したビットストリーム、(c)は4MHzのクロックをカウントするカウンタの出力値を示す。

【0035】P1394シリアルバスを経て受信しバケットは、後述するFIFOを介しビットストリームとして読み出される。受信側も送信側と同様、ビットストリームと同期して動作しているカウンタがある。このカウンタは送信側のカウンタとは独立に動作しているために、同じ時刻でも送信側とは異なる値をとる。前述の通り、送信側のクロックと受信側のクロックは独立して動作しているので、互いにずれを生ずる。送信側と受信側のビットレートは平均して同じでなければならないので、シンクタイムを用いてこのずれを修正する。

【0036】以下にシンクタイムを用いてこのずれを修正する方法を説明する。シンクタイムが書き込まれているバケット（例えば図3のバケットP4）が受信されると、バケットからシンクタイムを読みだし、所定の遅延時間tdを加えた時刻を受信側のビットストリームの先頭ビットとする。遅延時間tdを加える理由は、バケットに書かれているシンクタイムの時刻は送信側の時刻であり、受信側でバケットが受信され、そのバケットに書かれたデータがビットストリームとして読みだされた時には、バケットのジッタΔT等の要因でシンクタイムの時刻を過ぎているからである。なお、このジッタはP1394シリアルバスの仕様上生ずるものである。

【0037】次に、このシンクタイムに遅延時間tdを加えた時刻のカウンタの出力値をラッチしておく。図3

(c)では59である。そして、次にまたシンクタイムが書き込まれているバケットを受信した時に同様の処理を行い、カウンタ出力値をラッチする。その後、前回ラッチしたカウンタ出力値と今回ラッチしたカウンタ出力値の差を求める。受信側のカウンタも送信側と同様、4MHzのクロックを1000カウントしたら一周する。したがって、送信側のビットレートと受信側のビットレートが同じであれば、ラッチした二つの値は同じになり、差は0になるはずである。この差が0でない場合は、受信側の読みだしクロックを作成しているPLL

(詳細は後述する)にその差を出力し、受信側のビットレートを調節する。これにより、送信側と受信側のビットレートを平均して同じにすることができる。
【0038】送信側ではビットストリームの値が図1の例ではAの所が先頭ビットであった。しかし、受信側では必ずしも先頭ビットがAであるとは限らない(図3の例ではCである)。したがって、図4に示すように、送信側の周期と受信側の周期では位相が通常ずれている。しかし、平均して送信側と受信側で同じビットレートであれば良く、位相のずれは問題にならない。

【0039】2-4) 受信回路

次に、図5を参照しながら受信回路の説明をする。P1394シリアルバス9を介してP1394 I/F11で受信されたバケットjは、FIFO12へ出力され、PLL22から出力される4MHzのクロックmに同期して4MHzのビットストリームkとして読み出される。

【0040】一方、P1394 I/F11から出力されたバケットjはシンクタイム抽出回路13にも出力され、シンクタイムが抽出される。このシンクタイムには、レジスタ15にセットされている遅延時間tdが加算器14で加算され、比較回路16でサイクルタイマー17の出力と比較され、同じであれば出力をする。

【0041】サイクルタイマーの値は送信側も受信側も同じ絶対時刻を持っている。これは、前述したサイクルマスターが125μs毎にバスへ送出するサイクルスタートバケットにサイクルマスターに設けられているサイクルタイマーの絶対時刻が書かれており、バスに接続されている各機器はサイクルスタートバケットを受信しそこに書かれている絶対時刻により自分のサイクルタイマーの時刻を補正しているからである。

【0042】比較回路16の出力はアンド回路19とラッチ18及びラッチ23に出力される。ラッチ23は比較回路16からの出力により、カウンタ20の出力をラッチする。カウンタ20はビットストリームの読み出しクロックmで一つずつ増加し、周期は送信側と同じ1000ある。

【0043】ラッチ21は電源投入後、一度のみラッチがかかる。このラッチ21でラッチされた値が受信側の先頭ビットである。その後、この値は変更されてはく

ないために、一度のみラッチがかかるようになってい

る。これをラッチ18で実現している。ラッチ18は電源投入後、最初の比較回路16からの出力でローレベルをラッチする。したがって、それ以降はアンド回路19にローレベルを出力し続ける。この回路によりラッチ21には比較回路16からの出力は一度しか入力されず、ラッチ21は一度しかラッチがかからないことになる。

【0044】減算器24ではラッチ21の出力からラッチ23の出力を減算し、PLL22へ出力する。もし減算器24の出力が0より大きければ、前回の先頭ビットの位置よりも小さい値をラッチしたことになるので、PLL22には位相が早くなるような値を出力し、逆の場合は位相が遅くなるような値を出力すれば良いことになる。この結果、受信側のビットレートを送信側のビットレートに合わせることができる。

【0045】〔3〕本発明の第2実施例

次に図6～図9を参照しながら本発明の第2実施例について説明する。ここで第1実施例と対応する部分には同一の番号が付してある。

【0046】3-1) 送信側のタイミング

まず、図6を参照しながら送信側のタイミングについて説明する。この図で(a)は入力されるビットストリーム、(b)は4MHzのクロックをカウントするカウンタの出力値、(c)は送信されるバケットを示す。

【0047】第1実施例との差異は、全てのバケットにバケット長とデータブロック番号(Data Block Number:以下「DBN」と略す。)が付加されていることである。バケット長は第1実施例において説明したように、前の周期でFIFOに書き込まれたビットストリームの長さである。そして、DBNは各バケットの最初に書かれているビットのカウンタの出力値である。

【0048】また、本実施例では、シンクタイムがフレームの先頭ビットの時刻を示していることを利用して、受信側でシンクタイムに所定の遅延時間tdを足した時刻にFIFOからフレームの先頭ビットが読み出されるようにすることにより、送信側に入力されるビットストリームと、受信側から出力されるビットストリームの間の位相を制御するためにも用いる。

【0049】3-2) 送信回路

次に図7を参照しながら送信回路の説明をする。入力されたビットストリームaは4MHzのクロックbに同期してFIFO1に書き込まれる。一方、P1394 I/F3は、読み出し要求信号eをシンクタイム、DBN付与回路2'へ出力し、FIFO1からデータを読み出すように指示する。

【0050】シンクタイム、DBN付与回路2'はこれから出力するバケットにシンクタイムを書き込むかどうかの判断をし、もし必要であればシンクタイムとカウンタ4から入力されるDBNをデータf'としてP139

4 I/F 3へ出力する。その後はP1394 I/F 3からの読み出し要求信号eに合わせて、読み出し要求信号cをFIFO1へ出力し、FIFO1からデータdを読み出し、P1394 I/F 3に渡す。なお、シンクタイムを書き込む必要がなければDBNのみをP1394 I/F 3に渡す。

【0051】シンクタイムを付与するかどうかの判断基準及びシンクタイムとして書かれる値は第1実施例と同じである。また、カウンタ8が出力するバケット長g、及びP1394 I/F 3が出力するリセット信号hの作用も第1実施例と同じである。

【0052】3-3) 受信側のタイミング

次に図8を参照しながら受信側のタイミングについて説明をする。この図で、(a)は受信したバケット、

(b)は受信したバケットから生成したビットストリーム、(c)はフレーミングビット、(d)は4MHzのクロックをカウントするカウンタの出力値である。

【0053】P1394シリアルバスを経て受信したバケットは、後述するFIFOからビットストリームとして読み出される。第1実施例において説明したように、送信側のクロックと受信側のクロックは独立して動作しているため、互いにずれを生ずる。送信側と受信側のビットレートは平均して同じでなければならないので、シンクタイムを用いてこのずれを修正し、同時に送信側と受信側それぞれのビットストリーム間の位相制御を行う方法について説明する。

【0054】バケットP4が受信されるとデータ部はFIFOに書き込まれ、DBNとシンクタイムが抽出される。受信側にはバケットのデータが読み出される毎にカウントアップするカウンタがあり、図8の(d)がその出力値を示している。このカウンタ出力値はDBNを受け取る度に、DBNに合わせられる。図8のバケットP4にはDBN=998が書かれているので、カウンタの出力値は強制的に998に合わせられる。正常に動作していれば、カウンタの出力値はDBNを受け取った時点では998の筈である。

【0055】このようにしてDBNにより値が補正されるカウンタの出力値0になった時にフレーミングビットを1にしてFIFOに書き込み、その時同時にFIFOに書き込まれたデータがフレームの先頭ビットであることを示す。このため、FIFOはデータの幅より1ビット広いデータバスを持っている。FIFOからはビットストリームと同時にフレーミングビットも読み出される。その様子を図8の(c)に示す。前記したようにフレーミングビットが1のデータはフレームの先頭ビットであり、このデータが読み出された時刻がシンクタイムに所定の遅延時間tdを足した時刻になるように読み出し側のPLLを調節する。これにより送信側と受信側の間で一定の位相を保証することができる。

【0056】3-4) 受信回路

次に図9を参照しながら受信回路の説明をする。P1394 I/F 11はバケットを受信すると、書き込み信号nと共にバケットpをデータ部抽出回路25、DBN抽出回路26、及びシンクタイム抽出回路13に出力する。

【0057】DBN抽出回路26はバケットpからDBNを読み出し、カウンタ27へ出力する。カウンタ27は書き込み信号qによってカウントアップをし、DBN抽出回路26からDBNが入力された時は、出力値がDBNに合わせられる。カウンタ27は比較回路28へカウンタ値を出力する。

【0058】比較回路28ではカウンタ27からの出力と0を比較し、0であればデータ部抽出回路25に信号を出力する。データ部抽出回路25ではP1394 I/F 11から入力されるバケットpからデータ部rを抽出し、書き込み信号qと共にFIFO12'に書き込む。またこの時、比較回路28からカウンタ27の出力値が0であることを示す信号が入力されると、FIFO12'に書き込むフレーミングビットを1にする。これにより、FIFO12'内のフレーミングビットが1のデータはフレームの先頭であることがわかる。

【0059】シンクタイム抽出回路13はバケットからシンクタイムを抽出し、加算器14において所定の遅延時間tdを加算し、加算結果を減算器24へ出力する。FIFO12'にデータと共に書き込まれたフレーミングビットはデータと共に読み出され、ラッチ29へ出力される。ラッチ29ではサイクルタイマー17からの値を、FIFO12'からの出力が1になったときにラッチし、ラッチした値を減算器24へ出力する。

【0060】減算器24ではラッチ29から入力された時刻から加算器64から入力された時刻を引き、PLL22へ出力する。PLL22は正の値が入力されると、その大きさに従って早い方向(周波数が高くなる方向)にクロックmを動かし、負の値が入力されると、その大きさに従って遅い方向(周波数が低くなる方向)にクロックmを動かす。これにより送信側に入力されるビットストリームと受信側から読み出されるビットストリームを一定の位相関係に制御することができる。

【0061】また、本実施例では、バケット長を利用して損失したバケットのデータ量を算出することもできる。例えば図8の場合、バケットP4の一つ前のバケットのDBNは498でありそのバケット長は500であるから、正常に動作していれば、このDBNにバケット長を加算した値は次のバケットP4のDBNに等しくなる。しかし、P4が損失すると、DBN抽出回路26が抽出するDBNは次に受信するバケットに付与されている498となるので、500ビットを損失したことがわかる。

【0062】さらに、本実施例では、受信側でDBNを受け取った時のカウンタ27の出力値がDBNと異なる

ことを検出することにより、パケットの損失を検出することが可能である。例えば図8の場合、パケットP4が損失すると、DBN抽出回路26が抽出するDBNは次に受信するパケットに付与れさせている498となる。一方、カウンタ27の出力値は998になっている。

【0063】

【発明の効果】以上詳細に説明したように、本発明によれば、任意の速度、フォーマットのビットストリームを伝送する際に、アプリケーションに依存することなく、送信側のビットストリームと受信側のビットストリームの速度を合わせることができる。

【0064】

【0064】また、本発明によれば、送信側のビットストリームと受信側のビットストリームの速度を合わせ、かつ位相関係を一定に制御することができる。さらに、本発明によれば、損失したパケットのデータ量を検出することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例における送信側の信号のタイミングの一例を説明する図である。

【図2】本発明の第1実施例における送信回路を示すブロック図である。

【図3】本発明の第1実施例における受信側の信号のタイミングの一例を説明する図である。

【図4】本発明の第1実施例における送信側と、受信側の、先頭ビットと周期の関係の一例を説明する図である。

*

*【図5】本発明の第1実施例における受信回路を示すブロック図である。

【図6】本発明の第2実施例における送信側の信号のタイミングの一例を説明する図である。

【図7】本発明の第2実施例における送信回路を示すブロック図である。

【図8】本発明の第2実施例における受信側の信号のタイミングの一例を説明する図である。

【図9】本発明の第2実施例における受信回路を示すブロック図である。

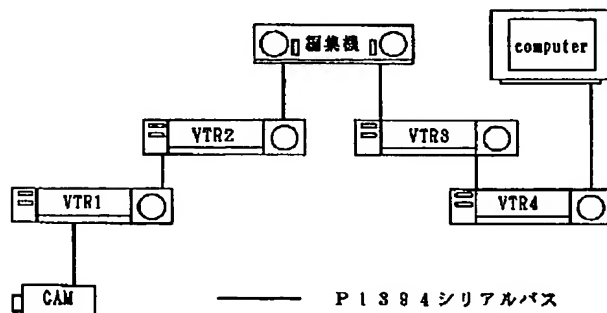
【図10】P1394シリアルバスを用いた通信システムの一例を示す図である。

【図11】P1394シリアルバスにおける通信サイクルの一例を示す図である。

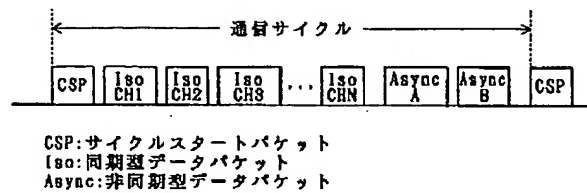
【符号の説明】

P1~P4 パケット、 A, B, C, ... ビットストリーム、 1, 12 FIFO、 2 シンクタイム付与回路、 2' シンクタイム、 DBN付与回路、 3, 11 P1394 I/F、 4, 8, 20, 27 カウンタ、 5, 16 比較回路、 6, 18, 21, 23, 29 ラッチ、 7, 17 サイクルタイマー、 9 P1394シリアルバス、 13 シンクタイム抽出回路、 14 加算器、 15 レジスタ、 19 アンド回路、 22 PLL回路、 24 減算器、 25 データ部抽出回路、 26 DBN抽出回路

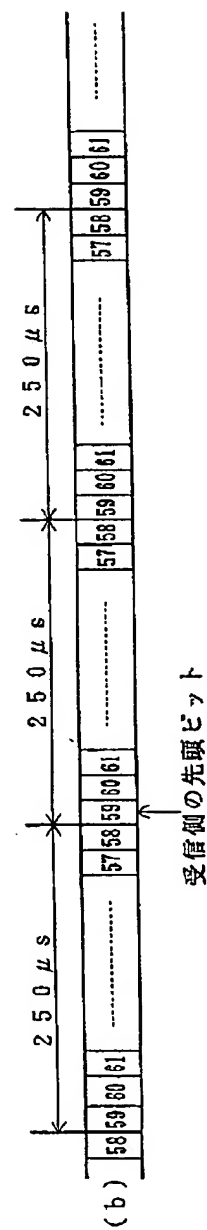
【図10】



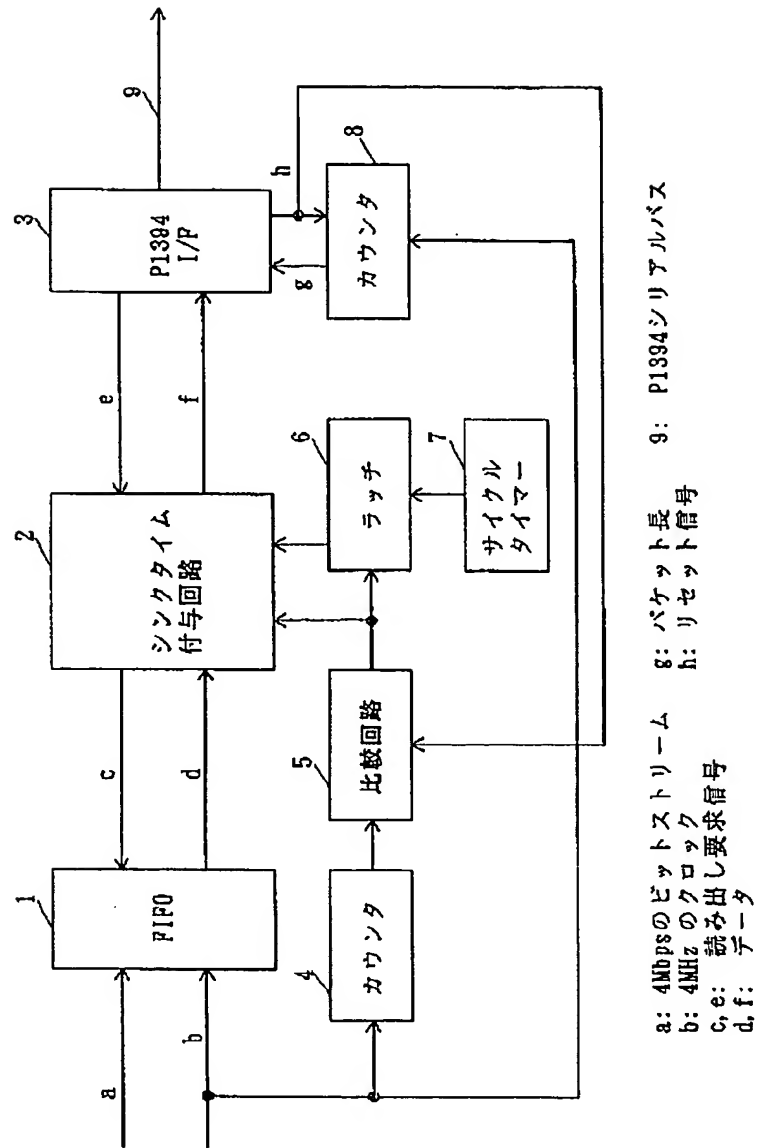
【図11】



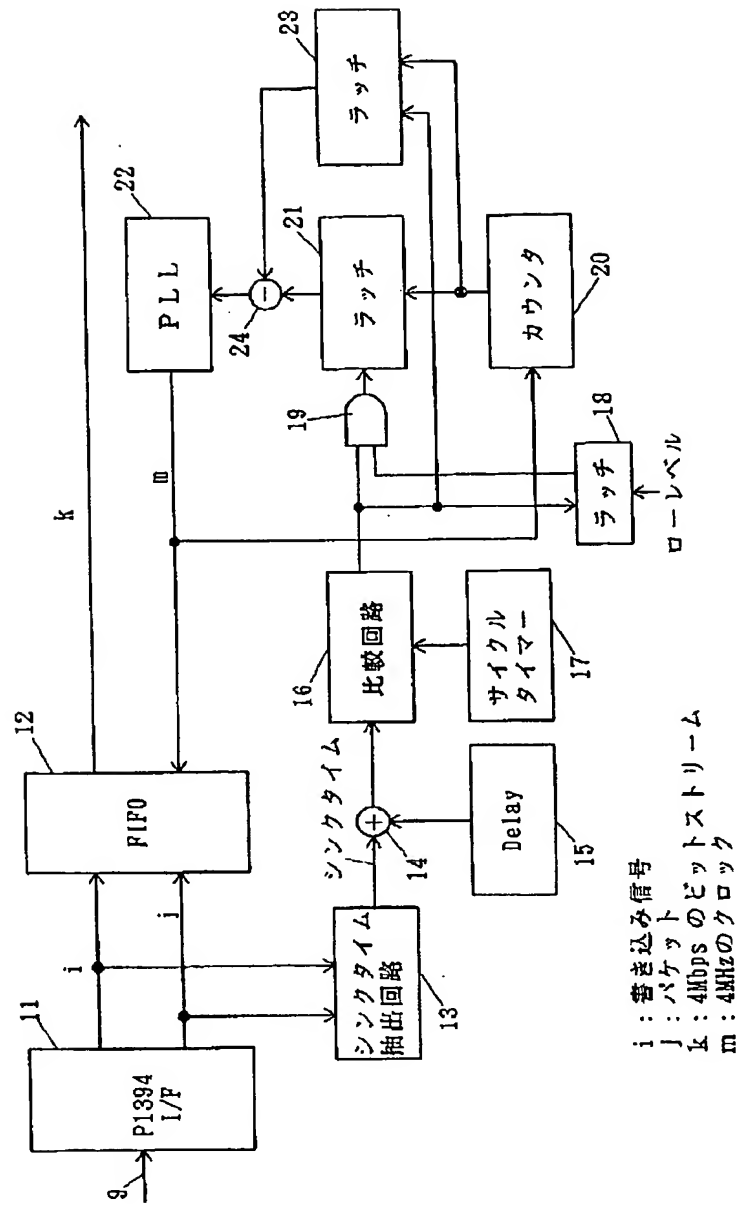
【圖 4】



【図2】



【図5】



【圖7】

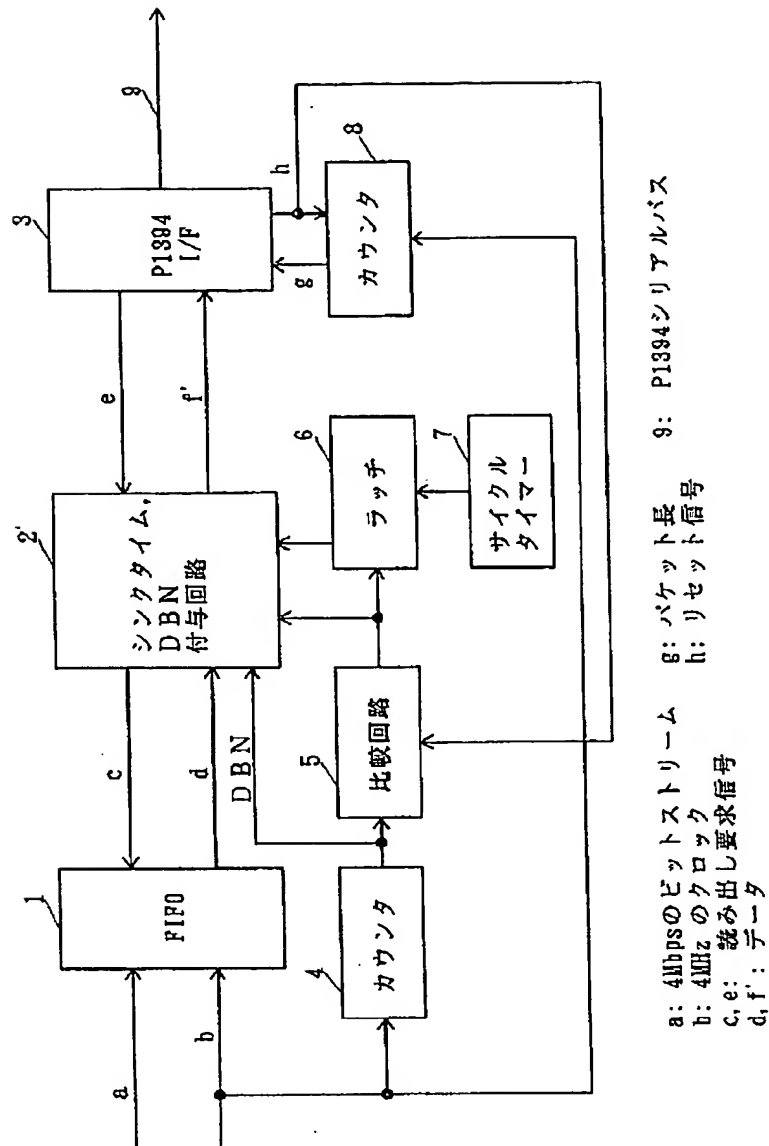


Fig. 1 is a block diagram of a digital signal processing system. The system includes a P1394 I/P block (11) receiving input 9, which outputs signals n, p, and q. Signal n goes to a Data Extraction Circuit (25), which outputs r to a FIFO (12'). Signal p goes to a DBN Extraction Circuit (26), which outputs to a Counter (27). Signal q goes to a Comparison Circuit (28), which outputs to the Counter (27). The Counter (27) outputs to a Sink Time Extraction Circuit (13). The FIFO (12') outputs m to a Flip-Flop (29), which outputs to a PLL (22). The PLL (22) outputs k to the FIFO (12'). The Sink Time Extraction Circuit (13) outputs to a Summing Junction (+) (14), which also receives input from a Delay block (15). The output of the Summing Junction (14) goes to a Sink Time (17), which outputs to the Flip-Flop (29). The Flip-Flop (29) also outputs to a Subtractor (-) (24), which receives input from the PLL (22). The output of the Subtractor (24) goes to the PLL (22).

Legend:
 n, q: 書き込み信号 (Write signal)
 p: パケット (Packet)
 r: データ部 (Data section)
 PB: フレーミングビット (Framing bit)

H O 4 L	11/20
	13/00
H O 4 N	7/13

1 0 2 F
3 0 7 C
Z

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.